

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-317731

(43)Date of publication of application : 16.11.1999

(51)Int.Cl.

H04L 7/033

H03L 7/095

(21)Application number : 10-135991

(71)Applicant : TOYO COMMUN EQUIP CO LTD

(22)Date of filing : 30.04.1998

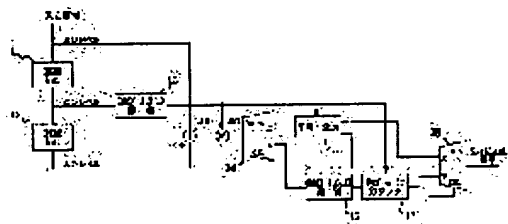
(72)Inventor : ONO OKIHIRO

(54) RECEIVER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the receiver using a digital PLL circuit which does not requires a long time for the convergence of a digital PLL circuit even when a phase is greatly different and can decrease the circuit scale of a digital circuit.

SOLUTION: The receiver, equipped with the digital PLL circuit (DPLL) which generates synchronous timing according to receive data and outputs it while modulating the receive data after equalizing the data by an equalization part, internally has a phase correction quantity instruction part which obtains a phase correction quantity from the output of the equalization part and outputs it to the DPLL, and the phase correction quantity instruction part is equipped with phase correction quantity detection parts 11 to 20 which detect a phase correction quantity for a target frequency from the output of the equalization part, an average conversion part 15 which decides whether the phase correction quantities of the detection parts 11 to 20 are larger or smaller and outputs an instruction of an phase correction quantity with the mean value of arbitrary cycles of the outputs of the detection parts 11 to 20 when the phase correction quantity is larger, and a counting part 17 which counts the outputs of the detection parts 11 to 20 and outputs an instruction of the phase correction quantity when the phase correction quantities of the detection parts 11 to 20 are smaller.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-317731

(43) 公開日 平成11年(1999)11月16日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 L 7/033

H 0 4 L 7/02

B

H 0 3 L 7/095

H 0 3 L 7/08

B

審査請求 未請求 請求項の数 4 F D (全 6 頁)

(21) 出願番号 特願平10-135991

(22) 出願日 平成10年(1998)4月30日

(71) 出願人 000003104

東洋通信機株式会社

神奈川県高座郡寒川町小谷2丁目1番1号

(72) 発明者 小野 起寛

神奈川県高座郡寒川町小谷2丁目1番1号

東洋通信機株式会社内

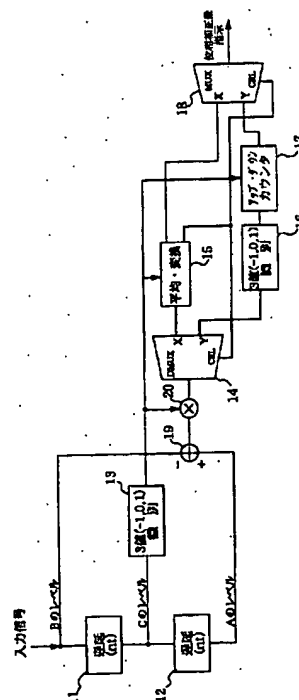
(74) 代理人 弁理士 鈴木 均

(54) 【発明の名称】 受信装置

(57) 【要約】

【課題】 位相が大きく異なる場合にもデジタルPLLの収束に時間がかからず、デジタル回路の回路規模を小さくできるデジタルPLL回路を用いた受信装置を提供する。

【解決手段】 受信データを等化部により等化した後復調する一方、前記受信データに基づき同期タイミングを生成して出力するデジタルPLL回路(DPLL)を備えた受信装置において、受信装置内には、等化部の出力から位相補正量を得て前記DPLLに出力する位相補正量指示部を有し、位相補正量指示部は、等化部の出力から目的とする周波数の位相補正量を検出する位相補正量検出部11~20と、位相補正量検出部11~20による位相補正量の大小を判定して位相補正量が大きい時には位相補正量検出部11~20の出力の任意周期の平均値により位相補正量の指示を出力する平均・変換部15と、位相補正量検出部11~20による位相補正量が小さい時には位相補正量検出部11~20の出力を計数して位相補正量の指示を出力する計数部17を備える。



【特許請求の範囲】

【請求項1】 受信データを等化部により等化した後復調する一方、前記受信データに基づき同期タイミングを生成して出力するデジタルPLL回路を備えた受信装置において、前記受信装置内には、前記等化部の出力から位相補正量を得て前記デジタルPLL回路に出力する位相補正量指示部を有し、該位相補正量指示部は、前記等化部の出力から目的とする周波数の位相補正量を検出する位相補正量検出部と、該位相補正量検出部による位相補正量の大小を判定して該位相補正量が大い時には前記位相補正量検出部の出力の任意周期の平均値により位相補正量の指示を出力する平均・変換部と、前記位相補正量検出部による位相補正量が小さい時には前記位相補正量検出部の出力を計数して位相補正量の指示を出力する計数部を備えることを特徴とする受信装置。

【請求項2】 前記位相補正量検出部は、直列に接続された2個の同遅延量の遅延素子と、該両遅延素子の間のレベルが入力されて該レベルが負の値であるか基準値であるか正の値であるかを識別して-1, 0, 1の何れかの信号を出力する3値識別部と、前記2個が直列に接続された遅延素子の遅延前と遅延後の両端のレベルを入力し該両レベルの差を出力する加算素子と、該加算素子の出力と前記3値識別部の出力が入力されて前記両遅延素子間のレベルが負の値である場合に正の値に変換して出力する乗算素子とにより構成されることを特徴とする請求項1に記載の受信装置。

【請求項3】 前記位相補正量指示部は、前記位相補正量検出部から出力されるレベル差の大小により前記平均変換部と前記計数部の何れかに信号経路を分岐させるレベル差入力信号分岐部と、前記平均変換部の出力または前記計数部の出力が入力されて前記レベル差により出力される出力信号選択部とを有することを特徴とする請求項2に記載の受信装置。

【請求項4】 前記位相補正量指示部は、デジタル信号処理装置内に設置されることを特徴とする請求項1～3の何れか1項に記載の受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、通信装置の受信側においてビット同期をとるためのデジタルPLL回路を備えた受信装置に関し、更に詳しくは、ロックするまでの収束時間を短くすると共に回路規模の小型化を可能にするための位相補正量指示手段を有するデジタルPLL回路を備えた受信装置に関する。

【0002】

【従来の技術】従来のデジタルPLL回路を備えた受信装置の入力段について、その構成を示すブロック図である図4を用いて説明する。図4に示すように、従来の受信装置の入力段に備えられたデジタルPLL回路(DPLL)は、位相比較部4、ランダムウォークフィルタ

5、発振器6、分周器7にて構成されており、コンパレータ部2から入力される信号により同期タイミングを出力するものである。又、この図4の従来の受信装置における受信データは、アンプ1で増幅された後に、デジタル信号処理部DSP内の等化部3と、コンパレータ部2を介してデジタルPLL回路の位相比較部4(DSP内)に入力される。尚、図4では、デジタルPLL回路(DPLL)における位相比較部4を除く構成はデジタル回路(PLD)の一部として構成され、位相比較部4のみがデジタル信号処理装置(DSP)の一部として構成される。従来のDPLLにおいては、コンパレータ部2から受信信号の立ち上がりタイミング信号を受け取ると、位相比較部4にて、DPLL内で生成されたタイミング信号と位相比較され、その比較結果、即ち、生成されたタイミング信号が受信データの信号より進んでいるか遅れているかの判定結果を位相比較部4から出力する。従って、位相比較部4においては、入力する2信号の位相を比較して生成されたタイミング信号の位相が進んでいるか、遅れているだけの判断のみを行い、入力する2信号の位相差が大きい場合も小さい場合も、単に進んでいるか遅れているかだけの信号が出力される。

【0003】その出力された判定結果は、ランダムウォークフィルタ5に入力される。ランダムウォークフィルタ5とは、「±N」段のアップダウンカウンタのことであり、「0」からカウントをスタートし、位相比較部4からの比較結果の入力(生成タイミング信号が進んでいるか遅れているかの判定結果)によってカウントアップしたり、カウントダウンしたりする。そして、そのカウントアップ又はカウントダウンされた結果が「+N」または「-N」に達した時に、分周器7に対して生成されるタイミング信号の位相を進ませるか遅らせるかの指示となる信号を出力する。分周器7では、ランダムウォークフィルタ5からの指示信号に従って、発振器6からの基本クロック信号の分周比を変化させ、生成されるタイミング信号の位相を進ませたり遅らせたりする。図4の従来のDPLLでは、位相比較部4だけがDSPの一部として実現され、その他のブロックはPLD内で実現されていることから、分周器7で生成されるタイミング信号はPLDからDSPへ出力され、DSPの位相比較部4では、そのタイミング信号と受信データの位相を比較し、その比較結果、つまりタイミング信号が、受信信号より進んでいるか遅れているかの判定結果のみをDSPはPLDに渡していた。

【0004】

【発明が解決しようとする課題】しかしながら、従来のデジタルPLL回路を備えた受信装置においては、位相比較部に入力される2つの信号の位相が大きく違っている場合には、ランダムウォークフィルタによる計数に時間がかかり、デジタルPLLの収束に時間がかかるという問題があった。又、その場合には、ランダムウォーク

フィルタの計数値が大きくなることから、デジタル回路で実現するランダムウォークフィルタの回路規模が大きくなってしまいう問題もあった。本発明は、上記の問題に鑑みて、位相が大きく違っている場合にもランダムウォークフィルタの計数に時間がかからず、従って、デジタルPLLの収束に時間がかからず、更に、デジタル回路の回路規模を小さくできるデジタルPLL回路を備えた受信装置を提供することを目的とする。

【0005】

【課題を解決するための手段】上記した課題を解決するために、本発明の受信装置では、受信データを等化部により等化した後復調する一方、前記受信データに基づき同期タイミングを生成して出力するデジタルPLL回路を備えた受信装置において、前記受信装置内には、前記等化部の出力から位相補正量を得て前記デジタルPLL回路に出力する位相補正量指示部を有し、該位相補正量指示部は、前記等化部の出力から目的とする周波数の位相補正量を検出する位相補正量検出部と、該位相補正量検出部による位相補正量の大小を判定して該位相補正量が大きい時には前記位相補正量検出部の出力の任意周期の平均値により位相補正量の指示を出力する平均・変換部と、前記位相補正量検出部による位相補正量が小さい時には前記位相補正量検出部の出力を計数して位相補正量の指示を出力する計数部を備えることを特徴とし、位相補正量指示部をデジタル信号処理装置DSPで実現し、その位相補正量指示部の指示により、位相補正量が大きい時には平均・変換部を用い、位相補正量が小さい時には計数部を用いるようにした。

【0006】

【発明の実施の形態】以下、本発明を図示した実施形態に基づいて説明する。図1は、本発明によるデジタルPLL回路を備えた受信装置の入力段の一実施形態を示すブロック図である。図1に示すように、本実施形態の受信装置の入力段に備えられたデジタルPLL回路(DPLL)は、位相補正量指示部8、発振器6、分周器7にて構成されており、等化部3から入力される信号により同期タイミングを出力するものである。又、この図1の実施形態の受信装置における受信データは、アンプ1で増幅された後に、デジタル信号処理部DSP内の等化部3に入力される。等化部3の出力は、復調されると共に位相補正量指示部8に送出される。本実施形態のデジタルPLL回路(DPLL)においては、位相補正量指示部8はデジタル信号処理装置(DSP)の一部により構成され、それを除く発振器6と分周器7はデジタル回路(PLD)の一部により構成される。本実施形態のDPLLにおいては、等化部3から等化された受信信号(入力信号)を受け取ると、位相補正量指示部8にて、DPLL内で生成されたタイミング信号と位相比較され、その比較結果、即ち、生成されたタイミング信号が受信信号よりどの程度進んでいるか遅れているか(位相補正が

どの程度どちら向きに必要な)の判定を行う。その判定結果から、位相補正量が多い場合と少ない場合で補正指示を発生する手段を切り替える。位相補正量が少ない場合には、従来のように位相が進んでいるか、遅れているだけが識別された信号出力が計数されて出力されるが、位相補正量が多い場合には、その補正するレベルの差に応じた出力が分周器7へ出力される。分周基7では、位相補正量指示部8から入力した信号により、発振器6からの基本クロック信号の分周比を変化させ、生成されるタイミング信号の位相を進ませたり遅らせたりする。

【0007】図1の本実施形態のDPLLでは、位相補正量指示部8がDSPの一部として実現され、その他のブロックはPLD内で実現されていることから、分周器7で生成されるタイミング信号はPLDからDSPへ出力され、DSPの位相補正量指示部8では、そのタイミング信号と等化器3から入力された入力信号の位相を比較し、その比較結果、生成されたタイミング信号が受信信号よりどの程度進んでいるか遅れているか(位相補正がどの程度どちら向きに必要な)の判定結果をDSPはPLDに渡す。図2は、本発明の受信装置の入力段における位相補正量指示部のブロック図である。尚、この図2の構成は全てデジタル信号処理装置DSPの内部に構成される。等化部3の出力信号(入力信号)は、遅延ブロック11、12によって、信号波形上の位置A、Bと識別位置Cの検出タイミングにおける各レベルを得ることが出来る。尚、この各レベルを得る位置A、B、Cについては、図3により後述する。加算器19は、位置Aのレベルと位置Bのレベルの差を算出して出力する。3値識別ブロック13は、等化後の受信データ波形の値が正側電圧か、0Vか、負側電圧かを識別して、その識別結果から1、0、-1を出力する。乗算器20は、加算器19から入力した位置A B間のレベル差に3値識別ブロック13から入力した信号1、0、-1の何れかを掛け合わせることで、受信データが負側電圧の場合には-1が乗算されることから、乗算器20から出力されるAMI信号のレベルを全て入力信号の正側電圧の値に変換して、レベル差入力信号分岐手段であるマルチプレクサ(DMUX)14に入力する。

【0008】上述のようにして、位相補正量が検出される。次に、その位相補正量の検出結果から、補正量の大小により2通りの処理から選択されて処理が行われることについて説明する。検出結果が入力されたマルチプレクサ(DMUX)14は、初期状態ではX側(平均・変換ブロック15側)に信号を出力するように設定しているので、まず、入力信号のA B間のレベルの差の検出結果が平均・変換ブロック15に入力される。平均・変換ブロック15では、このA B間のレベルの差をm周期にわたって得て、そのm個のA B間レベルの差の平均を取り、その平均のレベル差に応じて変換された信号が、出力信号選択手段であるマルチプレクサ(MUX)18

のX端子に入力される。マルチプレクサ18は、この平均・変換ブロック15からの入力により位相補正量指示信号を出力し、図1の分周部3に供給する。

【0009】平均・変換ブロック15において、入力信号のAB間のレベルの差が小さくなったと判断した場合には、平均・変換ブロック15からデマルチプレクサ14とマルチプレクサ18の制御入力へのコントロール信号が出力され、デマルチプレクサ14からの出力信号とマルチプレクサ18の入力信号はY側、つまり、デマルチプレクサ14からの出力信号は3値識別ブロック16側に出力され、その3値識別ブロック16の出力信号はアップダウンカウンタ17で計数されて所定値に達したら出力されてマルチプレクサ18に入力される。よって、その入力信号のAB間レベルの差が小さくなったと判断された後では、アップダウンカウンタ17が、従来技術のランダムウォークフィルタと同様に動作するので細かい制御が可能になる。この場合のデマルチプレクサ14からの出力信号は、位相が進んでいる場合には正側の電圧が出力され、位相が遅れている場合には負側の電圧が出力され、位相差が無い場合には、0Vが出力されて、アップダウンカウンタ17で計数される。また、データ識別位置Cのレベルが入力される3値識別ブロック13の出力が、平均・変換ブロック15とアップ・ダウンカウンタ17に入力されて、入力信号に対する位相補正量が正側か負側かをマルチプレクサ18を介して分周器7へ出力することができる。

【0010】次に、本発明のデジタルPLL(DPLL)における位相補正量検出部の原理を、本発明の受信装置の入力段における位相補正量検出の原理を示す図である図3を用いて説明する。まず、どのように受信信号とDPLLで生成されたタイミング信号の初期位相量を判断するかを図3を用いて説明する。尚、図3における曲線は、受信データが等化部により等化された後の波形であり、縦軸が信号レベル、横軸が時間である。また、縦の点線は、DPLLで生成されたサンプリング用のタイミングであり、そのサンプリングの1間隔を t とする。まず、データの識別位置Cを、取得したサンプルデータのうち最も大きい値を呈する位置と仮定する。そして、図3の曲線(波形図)に示すようにデータ識別位置Cの前後「 $\pm nt$ 」の位置にA、Bの位置をとる。この図3の波形は、波形のひずみが補正された等化後波形であるため、識別位置が正しければA、Bのレベルは等しくなるはずである。また、このAとBの差が大きければ

大きいほど識別位置Cの位相がずれているという事になる。即ち、本発明の実施形態では、この識別位置C(最も大きいと仮定された値の位置)の位相のずれを検出し、位相補正を行うために、その前後のサンプリングデータのレベルが等しくなるように制御する点を特徴とする。上記のように構成して動作させることで、デジタルPLL回路を用いた受信装置において、デジタル信号処理装置DSPの位相補正量指示部から、補正量に応じてデジタル回路PLDの分周器7への位相補正量指示が出力されるので、デジタル回路PLDにおけるランダムウォークフィルタ等に使用されるゲート規模を縮小し、より速い収束時間と小さな回路規模を実現することができる。

【0011】

【発明の効果】本発明は、以上に説明した如く、位相補正量指示部をデジタル信号処理装置DSPで実現し、その位相補正量指示部の指示により、位相補正量が大きい時には平均・変換部を用い、位相補正量が小さい時には計数部を用いて、その位相補正量に合わせて分周部への位相補正量を指示してやることにより、DPLLのロックするまでの収束時間を短く、且つ、小さな回路規模を実現でき、また、ランダムウォークフィルタをPLDからDSPへ移したことにより、デジタル回路PLDのゲート規模を縮小することができた。

【図面の簡単な説明】

【図1】本発明のデジタルPLL回路を備えた受信装置の入力段の構成を示すブロック図である。

【図2】本発明の受信装置の入力段における位相補正量指示部のブロック図である。

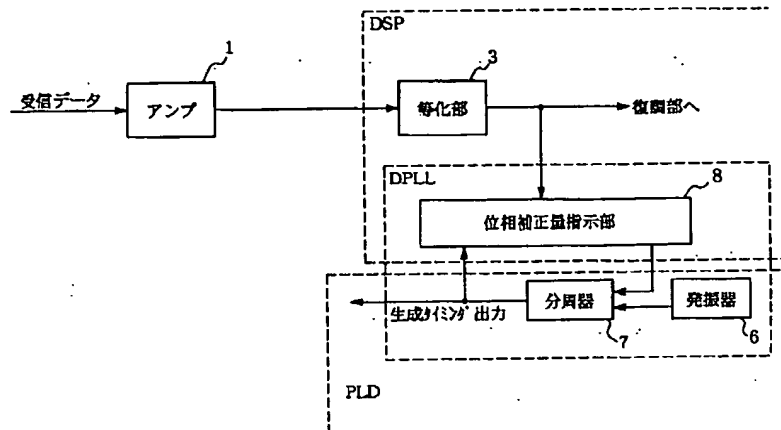
【図3】本発明の受信装置の入力段における位相補正量検出の原理を示す図である。

【図4】従来のデジタルPLL回路を備えた受信装置の入力段の構成を示すブロック図である。

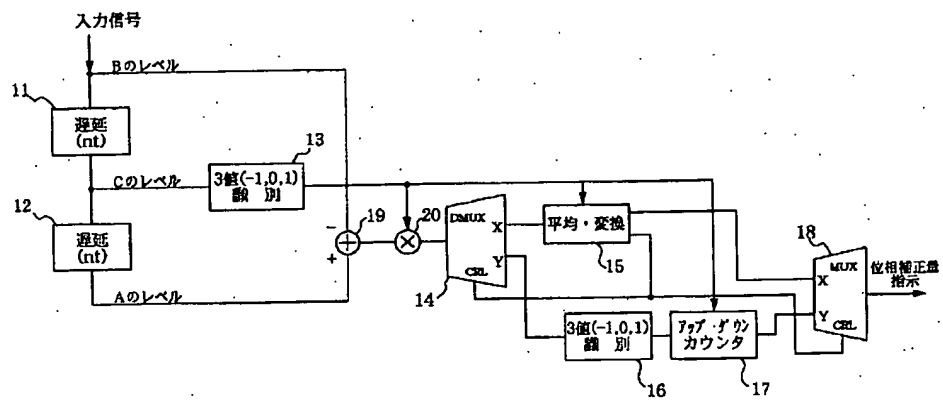
【符号の説明】

1…アンプ、2…コンパレータ部、3…等化部、4…位相比較部、5…ランダムウォークフィルタ、6…発振器、7…分周器、8位相補正量指示部、11、12…遅延ブロック、13、16…3値識別ブロック、14…デマルチプレクサ、15…平均・変換ブロック、17…アップ・ダウンカウンタ、18…マルチプレクサ、19…加算器、20…乗算器、A…レベル測定位置、B…レベル測定位置、C…識別位置、 nt …位相差測定のための適当な時間、

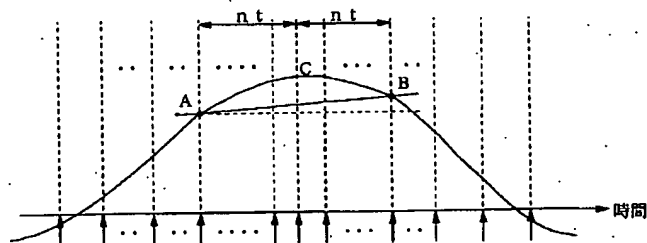
【図1】



【図2】



【図3】



【図4】

